

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

AB

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338774

(43)Date of publication of application : 10.12.1999

(51)Int.Cl. G06F 12/08
G06F 13/16
G06F 13/36

(21)Application number : 10-145289

(71)Applicant : NEC CORP

(22)Date of filing : 27.05.1998

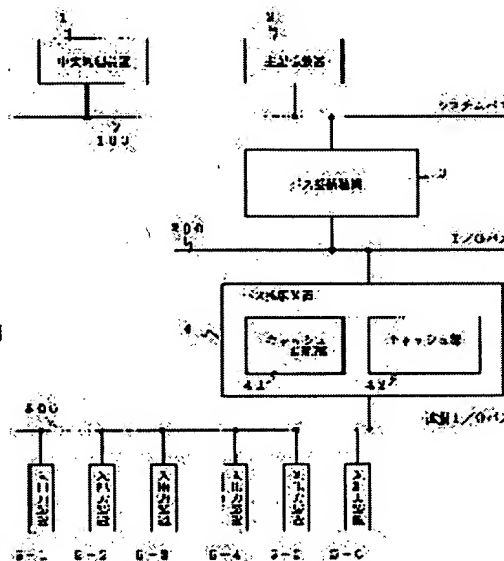
(72)Inventor : YAMAMOTO SADANORI

(54) INFORMATION PROCESSOR, ITS SYSTEM BUS OPTIMIZING METHOD AND RECORDING MEDIUM
RECORDING CONTROL PROGRAM THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an information processor with which the processing performance of a system is improved and more efficient data transfer can be provided.

SOLUTION: A bus connector 3 connects a system bus 100, to which a central processing unit 1 and a main storage device 2 are connected, to an I/O bus 200 to which a bus extension device 4 is connected. The bus extension device 4 is a device for extending an extension I/O bus 300 from the I/O bus 200 and provided with a cache control part 41 and a cache part 42. The cache control part 41 holds a flag showing whether data held in the cache part 42 are valid or not and the address of data held in the cache part 42 on the main storage device 2 and when valid data exist in the cache part 42, corresponding to read requests from input/output devices 5-1 to 5-6 to the main storage device 2, data in the cache part 42 are responded as read data.



LEGAL STATUS

[Date of request for examination] 27.05.1998

[Date of sending the examiner's decision of rejection] 11.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338774

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl. ⁸	識別記号	F I
G 0 6 F 12/08		G 0 6 F 12/08 X
13/16	5 2 0	13/16 5 2 0 C
13/36	3 1 0	13/36 3 1 0 F

審査請求 有 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平10-145289

(22) 出願日 平成10年(1998) 5 月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 禎則

東京都港区芝五丁目7番1号 日本電気株式会社内

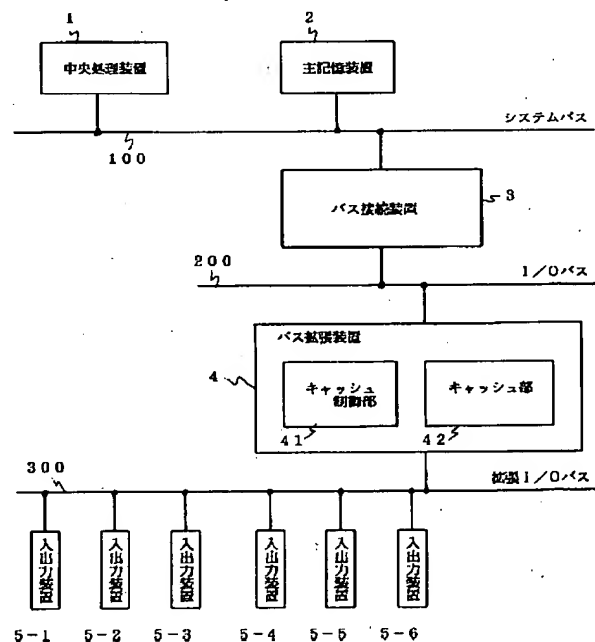
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 情報処理装置及びそのシステムバス最適化方法並びにその制御プログラムを記録した記録媒体

(57) 【要約】

【課題】 システムの処理性能を向上させ、より効率的なデータ転送を実現可能な情報処理装置を提供する。

【解決手段】 バス接続装置3は中央処理装置1及び主記憶装置2が接続されたシステムバス100と、バス拡張装置4が接続されたI/Oバス200とを接続する。バス拡張装置4はI/Oバス200から拡張I/Oバス300を拡張する装置で、キャッシュ制御部41とキャッシュ部42とを備えている。キャッシュ制御部41はキャッシュ部42内に保持されているデータが有効か無効かを示すフラグとキャッシュ部42に保持されているデータの主記憶装置2上のアドレスとを保持し、入出力装置5-1～5-6から主記憶装置2へのリード要求に対してキャッシュ部42内に有効データが存在する場合、キャッシュ部42内のデータをリードデータとして応答する。



【特許請求の範囲】

【請求項1】 中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置であって、前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段と、前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが前記キャッシュ手段に記憶されている時に当該データを前記キャッシュ手段から読み込んで要求元へ出力するよう制御する制御手段とを前記バス拡張装置に有することを特徴とする情報処理装置。

【請求項2】 前記制御手段は、前記中央処理装置から前記入出力装置への入出力命令に伴うデータが前記主記憶装置に格納される時に当該データを前記キャッシュ手段に記憶するよう構成したことを特徴とする請求項1記載の情報処理装置。

【請求項3】 前記制御手段は、前記入出力装置から前記主記憶装置に書込むべきデータがある時に当該データを前記キャッシュ手段に記憶してから前記主記憶装置に書込むよう構成したことを特徴とする請求項1または請求項2記載の情報処理装置。

【請求項4】 前記制御手段は、前記主記憶装置に書込むべきデータが前記キャッシュ手段に存在しかつ前記システムバスが空いている時に当該データを前記主記憶装置に書込むよう構成したことを特徴とする請求項3記載の情報処理装置。

【請求項5】 中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置のシステムバス最適化方法であって、前記バス拡張装置に設けられかつ前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段に前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが記憶されているか否かを判定するステップと、前記データが記憶されていると判定された時に当該データを前記キャッシュ手段から読み込んで要求元へ出力するステップとを前記バス拡張装置に有することを特徴とするシステムバス最適化方法。

【請求項6】 前記中央処理装置から前記入出力装置への入出力命令に伴うデータが前記主記憶装置に格納される時に当該データを前記キャッシュ手段に記憶するステップを前記バス拡張装置に含むことを特徴とする請求項5記載のシステムバス最適化方法。

【請求項7】 前記入出力装置から前記主記憶装置に書込むべきデータがある時に当該データを前記キャッシュ手段に記憶してから前記主記憶装置に書込むステップを前記バス拡張装置に含むことを特徴とする請求項5または請求項6記載のシステムバス最適化方法。

【請求項8】 前記入出力装置からのデータを前記主記憶装置に書込むステップは、前記主記憶装置に書込むべきデータが前記キャッシュ手段に存在しかつ前記システムバスが空いている時に当該データを前記主記憶装置に書込むようにしたことを特徴とする請求項7記載のシステムバス最適化方法。

【請求項9】 中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置において前記システムバスの最適化を前記バス拡張装置に行わせるためのシステムバス最適化制御プログラムを記録した記録媒体であって、前記システムバス最適化制御プログラムは前記バス拡張装置に、前記バス拡張装置に設けられかつ前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段に前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが記憶されているか否かを判定させ、前記データが記憶されていると判定された時に当該データを前記キャッシュ手段から読み込んで要求元へ出力させることを特徴とするシステムバス最適化制御プログラムを記録した記録媒体。

【請求項10】 前記システムバス最適化制御プログラムは前記バス拡張装置に、前記中央処理装置から前記入出力装置への入出力命令に伴うデータが前記主記憶装置に格納される時に当該データを前記キャッシュ手段に記憶させることを特徴とする請求項9記載のシステムバス最適化制御プログラムを記録した記録媒体。

【請求項11】 前記システムバス最適化制御プログラムは前記バス拡張装置に、前記入出力装置から前記主記憶装置に書込むべきデータがある時に当該データを前記キャッシュ手段に記憶してから前記主記憶装置に書込ませることを特徴とする請求項9または請求項10記載のシステムバス最適化制御プログラムを記録した記録媒体。

【請求項12】 前記システムバス最適化制御プログラムは前記バス拡張装置に、前記入出力装置からのデータを前記主記憶装置に書込ませる際に、前記主記憶装置に書込むべきデータが前記キャッシュ手段に存在しかつ前記システムバスが空いている時に当該データを前記主記憶装置に書込ませることを特徴とする請求項11記載のシステムバス最適化制御プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は情報処理装置及びそのシステムバス最適化方法並びにその制御プログラムを記録した記録媒体に関し、特に複数の入出力装置がバス接続装置を介して接続される情報処理装置に関する。

【0002】

【従来の技術】 従来、この種の情報処理装置において

10

20

30

40

50

は、バス接続装置に接続されるI/O(Input/Output)バスにバス拡張装置を接続し、このバス拡張装置に接続される拡張I/Oバスに複数の入出力装置を接続するものがある。尚、バス接続装置はシステムバスとI/Oバスとを接続するものであり、システムバス上には中央処理装置や主記憶装置等が接続されている。

【0003】上記の構成において、複数の入出力装置各々が拡張I/Oバスとバス拡張装置とI/Oバスとバス接続装置とシステムバスとを介して主記憶装置にアクセスする場合、システムバスのバスサイクル(以下、システムバスサイクルとする)を起動する必要がある。この時、中央処理装置が主記憶装置にアクセスするためのシステムバスサイクルは待たれることとなる。

【0004】上述したような拡張システムとしては、特開平5-242232号公報に開示された技術がある。この公報記載の技術では、ボード上にローカルバスを設け、そのローカルバスに映像機器からの入力手段と、表示用メモリ手段と、画像データの圧縮伸張手段と、PC(パーソナルコンピュータ)の拡張I/Oバスとのインタフェース手段とをつないでいる。

【0005】この場合、ローカルバスはインタフェース手段を介してPCに接続され、ローカルバス上の他の手段各々とPCとの間のデータのやりとりをローカルバスとインタフェース手段とを通して行うこととなる。よって、ローカルバスから各々手段を取除いたり、ローカルバスに他の機能を実現する機器を追加することが容易となる。

【0006】また、上記のシステムの他には、特開平9-128346号公報に開示された技術がある。この公報記載の技術では、メインメモリ及びI/O装置が接続された下位バスに第1及び第2のバスブリッジを接続し、これら第1及び第2のバスブリッジ各々が接続される第1及び第2の上位バスに夫々複数のCPU(中央処理装置)を接続している。

【0007】また、第1及び第2のバスブリッジには夫々複数のCPUによって共有される第1及び第2のブリッジキャッシュが接続され、第1及び第2の上位バス各々をスプリットバスとして、複数のCPUをスプリット対応としている。このような構成をとることで、階層化によって接続可能なCPU数が増やすことができ、ブリッジキャッシュの採用及び上位バスのスプリットバス化によって、階層化に伴うスループットやレイテンシの劣化が防止可能となる。

【0008】

【発明が解決しようとする課題】上述した従来の情報処理装置では、複数の入出力装置各々が主記憶装置にアクセスする場合、システムバスサイクルの起動を必要とするため、入出力装置から主記憶装置へのアクセスが頻繁に発生すると、システムバスに負荷がかかり、中央処理装置が主記憶装置にアクセスするためのサイクルが待た

され、システムの処理性能が低下してしまう。

【0009】そこで、本発明の目的は上記の問題点を解消し、システムの処理性能を向上させることができ、より効率的なデータ転送を実現することができる情報処理装置及びそのシステムバス最適化方法並びにその制御プログラムを記録した記録媒体を提供することにある。

【0010】

【課題を解決するための手段】本発明による情報処理装置は、中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置であって、前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段と、前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが前記キャッシュ手段に記憶されている時に当該データを前記キャッシュ手段から読み込んで要求元に出力するよう制御する制御手段とを前記バス拡張装置に備えている。

【0011】本発明による情報処理装置のシステムバス最適化方法は、中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置のシステムバス最適化方法であって、前記バス拡張装置に設けられかつ前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段に前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが記憶されているか否かを判定するステップと、前記データが記憶されていると判定された時に当該データを前記キャッシュ手段から読み込んで要求元に出力するステップとを前記バス拡張装置に備えている。

【0012】本発明による情報処理装置のシステムバス最適化制御プログラムを記録した記録媒体は、中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で前記入出力バスに接続する情報処理装置において前記システムバスの最適化を前記バス拡張装置に行わせるためのシステムバス最適化制御プログラムを記録した記録媒体であって、前記システムバス最適化制御プログラムは前記バス拡張装置に、前記バス拡張装置に設けられかつ前記主記憶装置に格納されたデータの一部を記憶するキャッシュ手段に前記複数の入出力装置のいずれかからの読み込み要求に対応するデータが記憶されているか否かを判定させ、前記データが記憶されていると判定された時に当該データを前記キャッシュ手段から読み込んで要求元に出力させている。

【0013】すなわち、本発明の情報処理装置は、中央処理装置及び主記憶装置が接続されるシステムバスとバス拡張装置が接続される入出力バス[I/O(Input/

5

t/Output)バス]とをバス接続装置で接続し、バス拡張装置が接続される拡張入出力バス(拡張I/Oバス)に複数の入出力装置を接続するシステムにおいて、バス拡張装置内に主記憶部のデータをキャッシングするキャッシュ機能(キャッシュ制御部及びキャッシュ部)を持たせている。

【0014】これによって、拡張I/Oバスに接続された入出力装置が主記憶装置へアクセスする際にシステムバスサイクルの起動を必要としなくなるので、中央処理装置が主記憶装置にアクセスするためのシステムバスサイクルが待たされることが減少し、システムの処理性能が向上する。

【0015】また、既存の本体システムにバス拡張装置を接続する場合、本体システムに対して何の対応も必要がないので、キャッシュ機能を複数のアドレスに対して対応可能とすることで、より効率的なデータ転送が実現可能となる。

【0016】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例による情報処理装置の構成を示すブロック図である。図において、本発明の一実施例による情報処理装置は中央処理装置1と、主記憶装置2と、バス接続装置3と、バス拡張装置4と、入出力装置5-1~5-6とから構成されている。

【0017】中央処理装置1は演算処理を行う装置で、主記憶装置2に格納されたマイクロ命令を順次読込んで実行する。また、中央処理装置1は入出力装置5-1~5-6のいずれかに対して入出力処理を行う時、入出力命令を主記憶装置2に格納し、入出力装置5-1~5-6に対して入出力命令を発行する。

【0018】主記憶装置2はシステムバス100を介して中央処理装置1及びバス接続装置3に接続されており、中央処理装置1及びバス接続装置3からのデータ読み要求にしたがってデータを送出し、中央処理装置1及びバス接続装置3からのデータ書き込み要求にしたがってデータを保持する。

【0019】バス接続装置3は中央処理装置1及び主記憶装置2が接続されたシステムバス100と、バス拡張装置4が接続されたI/Oバス200とを接続する装置である。

【0020】バス拡張装置4はI/Oバス200から拡張I/Oバス300を拡張する装置であり、キャッシュ制御部41とキャッシュ部42とを備えている。キャッシュ制御部41はキャッシュ部42内に保持されているデータが有効か無効かを示すフラグとキャッシュ部42に保持されているデータの主記憶装置2上のアドレスとを保持する。また、キャッシュ制御部41は入出力装置5-1~5-6から主記憶装置2へのリード要求に対してキャッシュ部42内に有効データが存在する場合、キ

6

ャッシュ部42内のデータをリードデータとして応答する。

【0021】図2は図1の中央処理装置1から入出力装置5-1~5-6への入出力命令発行時のキャッシュ制御部41の制御を示すフローチャートであり、図3及び図4は図1の入出力装置5-1~5-6の読み込みサイクル及び書き込みサイクルの際のキャッシュ制御部41の制御を示すフローチャートである。

【0022】これら図1~図4を参照して本発明の一実施例による情報処理装置の動作について説明する。尚、上記の図2~図4に示す処理は図示せぬ制御メモリに記録されたプログラムをバス拡張装置4のキャッシュ制御部41に実行させることで実現され、制御メモリとしてはI/Oバス200及び拡張I/Oバス300のいずれかに接続されるROM(リードオンリメモリ)やフロッピディスク等が使用可能である。

【0023】中央処理装置1が入出力装置5-1に対して入出力命令を発行する場合、主記憶装置2に入出力命令プログラムを格納する。このとき、バス拡張装置4のキャッシュ制御部41はシステムバス100とバス接続装置2とI/Oバス200とを介して入力される命令が入出力装置5-1に対する入出力命令であることを検出すると(図2ステップS1)、拡張I/Oバス300を介して入出力装置5-1に当該命令を出力する(図2ステップS2)。

【0024】その後、キャッシュ制御部41は当該命令に伴うデータ(入出力命令プログラム)があることを検出し(図2ステップS3)、かつ当該データがキャッシュ部42にない場合(図2ステップS4)、当該データをキャッシュ部42に格納してキャッシュ有効/無効フラグを有効にする(図2ステップS5)。

【0025】入出力装置5-1はバス拡張装置4及び拡張I/Oバス300を介して中央処理装置1からの入出力命令が入力されると、主記憶装置2から入出力命令プログラムを読み込むための拡張I/Oバス300のバスサイクルを発生させる。

【0026】バス拡張装置4のキャッシュ制御部41は入出力装置5-1から入出力命令プログラムを読み込むためのバスサイクルを受付けると(図3ステップS1

1)、その入出力命令プログラムがキャッシュ部42に格納され(図3ステップS12)、かつその入出力命令プログラムのキャッシュ有効/無効フラグが有効であれば(図3ステップS13)、I/Oバス200に対してバスサイクルを発生させることなく、入出力装置5-1に対してキャッシュ部42に格納されている入出力命令プログラム(リードデータ)を送出する(図3ステップS14)。

【0027】キャッシュ制御部41は上記の処理を入出力装置5-1から入出力命令プログラムを読み込むためのバスサイクルが終了するまで実行する(図3ステップS

11～S15)。

【0028】一方、キャッシュ制御部41は上記の入出力命令プログラムがキャッシュ部42に格納されていない場合(図3ステップS12)、またはその入出力命令プログラムのキャッシュ有効/無効フラグが無効であれば(図3ステップS13)、その入出力命令プログラムを主記憶装置2から読込む(図3ステップS16)。

【0029】キャッシュ制御部41は主記憶装置2から読込んだ入出力命令プログラムを入出力装置5-1に対して送出するとともに、その入出力命令プログラムをキャッシュ部42に格納してキャッシュ有効/無効フラグを有効にする(図3ステップS17)。

【0030】上記の動作では、中央処理装置1が入出力装置5-1に対して入出力命令を発行した時の入出力装置5-1の読込みサイクルについて述べている。これに対し、キャッシュ制御部41は入出力装置5-1から主記憶装置2にデータを書込むためのバスサイクルを受けけると(図4ステップS18)、入出力装置5-1からのデータをキャッシュ部42に格納する(図4ステップS19)。

【0031】キャッシュ制御部41は上記の処理を入出力装置5-1からのデータを主記憶装置2に書込むためのバスサイクルが終了するまで実行する(図4ステップS19、S20)。

【0032】その後、キャッシュ制御部41はシステムバス100が空いている時に(図4ステップS21)、キャッシュ部42に格納したデータを主記憶装置2に書込み(図4ステップS22)、当該データのキャッシュ有効/無効フラグを無効とする(図4ステップS23)。

【0033】上述した処理では入出力装置5-1に対する処理について述べたが、他の入出力装置5-2～5-6に対しても入出力装置5-1と同様に処理することができる。また、バス拡張装置4内のキャッシュ部42に格納されているデータを無効にしたい場合には、キャッシュ制御部41内のキャッシュ有効/無効フラグを無効にする。

【0034】このように、バス拡張装置4内のキャッシュ制御部41の制御によって主記憶装置2に格納されているデータの一部をキャッシュ部42にキャッシュすることによって、拡張I/Oバス300に接続された入出力装置5-1～5-6が主記憶装置2にアクセスする際にシステムバスサイクルを起動する必要がなくなる。

【0035】よって、入出力装置5-1～5-6が主記憶装置2にアクセスする時もシステムバスサイクルの起動を必要としないため、中央処理装置1が主記憶装置2

にアクセスするためのシステムバスサイクルが待たされることが減少し、システムの処理性能を向上させることができる。

【0036】また、既存の本体システムにバス拡張装置4を接続する場合、本体システムに対して何の対応を行う必要もなくなるので、キャッシュ部42を複数のアドレスに対して対応できるようにすることで、より効率的なデータ転送を実現することができる。

【0037】

【発明の効果】以上説明したように本発明によれば、中央処理装置及び主記憶装置が接続されたシステムバスと入出力バスとをバス接続装置で接続し、複数の入出力装置が接続された拡張入出力バスをバス拡張装置で入出力バスに接続する情報処理装置において、主記憶装置に格納されたデータの一部を記憶するキャッシュ手段と、複数の入出力装置のいずれかからの読込み要求に対応するデータがキャッシュ手段に記憶されている時に当該データをキャッシュ手段から読込んで要求元へ出力するように制御する制御手段とをバス拡張装置に備えることによって、システムの処理性能を向上させることができ、より効率的なデータ転送を実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による情報処理装置の構成を示すブロック図である。

【図2】図1の中央処理装置から入出力装置への入出力命令発行時のキャッシュ制御部の制御を示すフローチャートである。

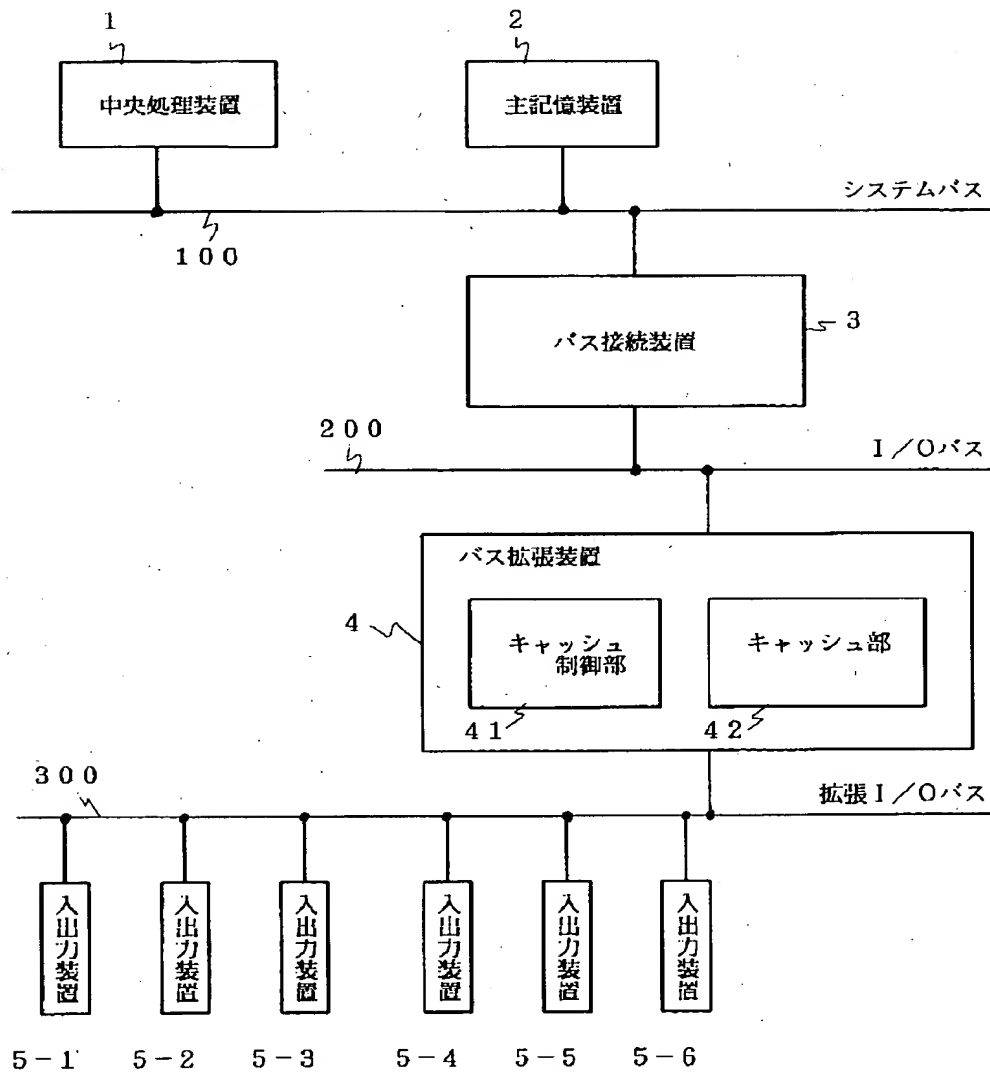
【図3】図1の入出力装置の読込みサイクル及び書込みサイクルの際のキャッシュ制御部の制御を示すフローチャートである。

【図4】図1の入出力装置の読込みサイクル及び書込みサイクルの際のキャッシュ制御部の制御を示すフローチャートである。

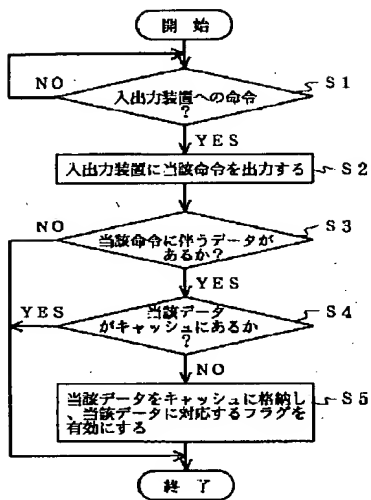
【符号の説明】

- 1 中央処理装置
- 2 主記憶装置
- 3 バス接続装置
- 4 バス拡張装置
- 5-1～5-6 入出力装置
- 41 キャッシュ制御部
- 42 キャッシュ部
- 100 システムバス
- 200 I/Oバス
- 300 拡張I/Oバス

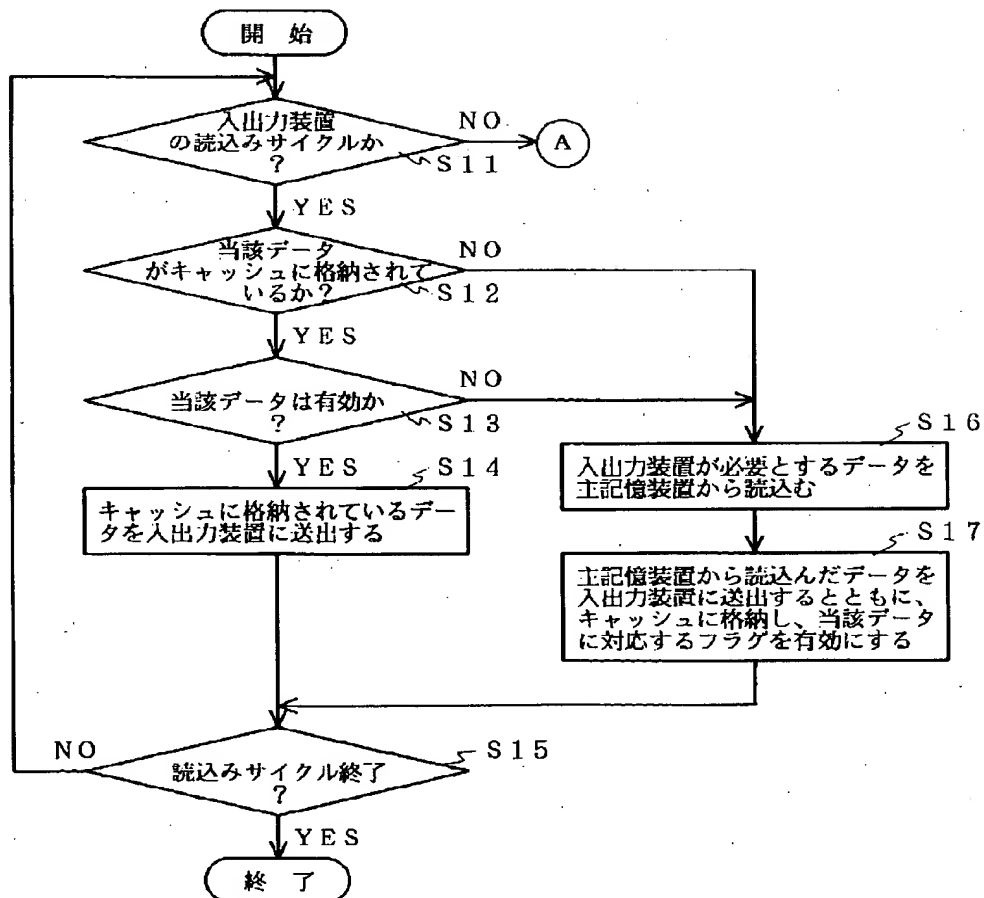
【図1】



【図2】



【図3】



【図4】

